

⑫ 特 許 公 報 (B 2) 昭59-31158

⑬ Int.Cl.³

G 11 C 29/00
17/00

識別記号

庁内整理番号

7922-5B
6549-5B

⑭ 公告 昭和59年(1984) 7月31日

発明の数 2

(全10頁)

1

2

⑮ メモリ装置とその使用方法

⑯ 特 願 昭53-159842

⑰ 出 願 昭53(1978)12月27日

⑱ 公 開 昭55-89996

⑲ 昭55(1980) 7月8日

⑳ 発 明 者 高井 厚志

国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

㉑ 発 明 者 近藤 隆二

国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

㉒ 発 明 者 萩原 隆且

国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

㉓ 出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目5番
1号

㉔ 代 理 人 弁理士 高橋 明夫 外1名

㉕ 参考文献

特 開 昭51-93638 (JP, A)

特 開 昭51-114037 (JP, A)

㉖ 特許請求の範囲

1 可変閾値を有する電界効果トランジスタを記憶素子とし、該記憶素子を行方向及び列方向にマトリクス状に配置し、行方向、列方向の選択信号により1つの記憶素子のソースがデータ線接続されるメモリ装置において、

該閾値を変更させるのに十分な第1の電圧と所定の第2の電圧との間で変化する複数のパルス電圧を発生する第1の回路と、

該パルス電圧が第1の電圧になるごとに該データ線に書き込み許可信号を与える第2の回路と、

該パルス電圧が第2の電圧になるごとに、該データ線に表われた記憶素子の記憶情報を読み、所定閾値となつた場合に該第2の回路の書き込み許可

信号を阻止して書き込み阻止信号を該データ線に与える第3の回路を有することを特徴とするメモリ装置。

2 可変閾値を有する電界効果トランジスタを記憶素子とし、該記憶素子のゲートを列方向に複数並列接続し、行方向及び列方向の選択信号により該列方向の複数記憶素子の中の複数記憶素子が選択されるよう配置された半導体装置の使用法において、

該閾値を変更させるのに十分な第1の電圧と所定の第2の電圧との間で変化する複数のパルス電圧を該列方向の複数記憶素子のゲートに与えた状態で以下の処理を行なうことを特徴とする半導体装置の使用法。

i) 該パルス電圧が第1の電圧になるごとに、閾値を変化すべき記憶素子のソースに書き込み許可信号を与える。

ii) 該パルス電圧が第2の電圧になるごとに、行方向、列方向の選択信号により選択された記憶素子の記憶情報を読む。

iii) 該読んだ記憶情報のうち状態の変化したものに対応する記憶素子のソースに選択的に書き込み阻止信号を与える。

発明の詳細な説明

本発明は電氣的に記憶データの書き換え可能な絶縁ゲート電界効果トランジスタを記憶素子とするメモリ装置とその使用方法に関する。

情報記憶機能を備えた半導体素子を集積回路技術によりマトリクス状に配列し、情報の非破壊読出しができる記憶装置のうちで、近年特に外部から与える電気信号により半導体素子の記憶情報の書き換えを可能にした半導体記憶装置が注目されている。かかる半導体記憶装置としては、例えば特公昭51-42901号において提案された第1図に示す電界効果トランジスタを記憶素子とするものが知られている。

この電界効果トランジスタは、一導電型の半導

体基体、例えばp型シリコン基板1の表面に、逆導電型であるN型のソース領域2とドレイン領域3とを形成し、各領域とオーミック接触させてソース電極4、ドレイン電極5を設け、上記2つのN型領域2、3間のシリコン基板表面には絶縁物質からなる層6、7を介してゲート電極8を形成した構造となつている。尚、上記基板1は集積回路基板上にP-N接合により分離された領域であつてもよい。また、上記ゲート電極直下の絶縁層は、例えば2酸化シリコン層6と窒化シリコン層7からなり、ゲート電圧 V_G と基板の電圧 V_{SB} とにより絶縁層に垂直な一方向に臨界値以上の電界を加えたとき、電荷が基板1からトンネル効果により層6を通過して層7に捕獲蓄積されるようになつている。この電荷は上記電界を除去した後も一定時間に亘つて窒化シリコン層中に保持されるが、上記とは逆の方向の所定値以上の電界を与えることにより容易に放出させることができる。

第1図の電界効果トランジスタでは、例えば基板電圧 V_{SB} 、ソース電圧 V_S 、ドレイン電圧 V_D を夫々0Vとし、ゲート電圧 V_G を正の高電圧 V_P （例えば2.5V）としたとき、窒化シリコン層7中に電子が注入され、この注入電子はゲート電圧除去後も層7に保持されてシリコン基板1の表面に正電荷をひきつけ、トランジスタの導通閾値電圧を上げるように作用する。逆に、ソース電圧 V_S とドレイン電圧 V_D を開放にし、基板電圧 V_{SB} を V_P 、ゲート電圧を0Vにすると、窒化シリコン層7は電子が追放されて正に帯電し、トランジスタの閾値電圧が下る。従つて上記閾値電圧の状態を2値情報“1”と“0”に対応させ、所定のゲート電圧を与えたときトランジスタが導通するか否かによつて、電界効果トランジスタがいずれの情報の記憶状態にあるかを判別することができる。

ところで、此種の電界効果トランジスタを記憶素子とする半導体記憶装置では、絶縁層に捕獲蓄積された電荷が自然放電により徐々に低減し、閾値電圧を変化させる。このため、半導体記憶装置の検査過程で各記憶素子が充分な情報保持時間を有しているか否かを試験し、情報保持時間が規定値に満たない不良記憶素子を含む記憶装置は選別除去する必要がある。このような試験は、情報記憶時間による半導体記憶装置のクラス分けにも必

要となる。

第2図は、時間軸を横軸にとつて上述した閾値電圧 V_{W1} 、 V_{W0} の劣化特性(I)、(II)を概略的に示した図である。この例では、時間軸をlogスケールでとることにより、各閾値電圧がほぼ直線的に自然状態の閾値電圧 V_{TH0} に収斂する様子が示されている。読み出し検知器の検知レベルの設計範囲を V_{R1} と V_{R0} との間に許容したとき、上記第2図の劣化特性をもつ記憶素子では、情報の保持期間は閾値電圧 V_{W1} がレベル V_{R1} と等しくなるまでの時間 t_{R1} で示される。この場合、上記 t_{R1} の値は数年〜10数年の極めて長期の値であるから、実際に行なう情報保持特性の試験では、初期値設定時 t_0 から所定時間経た t_1 の時点での閾値電圧 V_{W1}' を検出し、初期値 V_{W1} と検出値 V_{W1}' とから特性(I)を推定することになる。

然るにこの種の半導体記憶装置において基板上にマトリクス状に形成される多数個の記憶素子は、上述した電荷の自然放電による閾値電圧の変化度が個々に異なるだけでなく、同一の書き込みパルスを与えたときに捕獲蓄積される電荷の量、換言すれば初期閾値電圧そのものにも素子毎のバラツキがある。このため記憶装置としての情報保持特性の良否判定は、厳密には各素子毎に閾値電圧の初期値を一旦記憶しておき、所定時間経過後の閾値電圧をこの記憶された値と比較して各々の減衰量を求めなければならず、試験装置が大容量のデータ記憶手段を必要とし、試験そのものが極めて複雑となる等の問題点をかかえていた。

本発明の目的は、上記した情報の書き換えが可能な電界効果トランジスタの閾値電圧を所定値にそろえる機能を有するメモリ装置とその使用方法を提供することにある。

上記目的を達成するために、本発明のメモリ装置では記憶素子を形成する電界効果トランジスタに、閾値電圧を変化させるに充分な値をもつゲート電圧を短いパルス幅で繰り返して印加し、閾値電圧が所定値となつたとき書き込み阻止信号をソースに与えることにより記憶装置内の全ての記憶素子の初期閾値電圧を同一にし、所定時間経過後に各記憶素子の閾値電圧の変化状態を測定することにより良否を判定するようにしたことを特徴とする。

また、本発明のメモリ装置は、記憶素子を構成する行又は列方向の一群の電界効果トランジスタのゲート電極に、外部から与える情報読み出し、書き込みの制御信号に応じて高低2種類の電圧を選択的に付与するための制御回路を有し、情報保持特性試験実施時には閾値電圧を変化させるに充分な高電圧パルスと閾値電圧を検出するための基準電圧とを上記制御回路を介して記憶素子電界効果トランジスタのゲートに交互に与え、通常の記憶情報読み取り動作時には上記制御回路を介して、トランジスタ導通状態検出のための参照電圧となる所定のゲート電圧が付与できるようにしたことを特徴とする。

以下、本発明の原理と実施例を図面を参照して詳細に説明する。

第3図は本発明による半導体記憶装置の試験方法の原理を説明するための図であり、本発明では記憶素子を構成する全ての電界効果トランジスタの初期閾値電圧、即ち時刻 t_0 における情報書き込み時の閾値電圧を一定値 V_W に統一し、所定時間 t_1 が経過した時点で各素子の閾値電圧を検出する。第3図において、3つの記憶素子についての上記検出値をA, B, Cとし、初期値 V_W からの閾値の減衰傾向が時刻 t_1 以降もそのまま続くものと仮定すると、各素子の閾値電圧が検出器の検出レベル V_{R1} に達するまでの時間は、検出値Aの素子ではデータ保持の保証時間 t_R に一致し、検出値Bの素子はこれを越し、検出値Cの素子はこれより短時間 t_C でレベル V_R に減衰することが予想される。従つて、各記憶素子の初期閾値電圧を V_W に統一できれば、上記検出値Aに相当する閾値電圧を V_{TS} としたとき、各記憶素子の良否は単に時刻 t_1 における検出閾値が V_{TS} より大きい小さいかを調べるだけで極めて簡単に判別することができる。

電界効果トランジスタの閾値電圧は、トランジスタの導通状態がオンからオフ、またはオフからオンに変わる境界点のゲート電圧に相当するから、各記憶素子の初期閾値電圧を V_W に統一するためには、各記憶用トランジスタの閾値電圧を徐々に上げるようにパルス幅の小さい高電圧パルスをゲート電極に繰り返して与え、各パルス印加と交互に電圧 V_W をゲート電極に与えてトランジスタの導通状態をチェックし、トランジスタの導通状態

に変化を生じた時点で上記高電圧パルスの印加を止めるようにすればよい。また、所定時間経過後の閾値電圧の検出は、ゲート電圧を設定値 V_{TS} にして各記憶用トランジスタの導通の有無をチェックすればよい。

尚、記憶素子からの通常の情報読み取り動作を行なうときにゲート電極に与える参照電圧レベルは、最長の記憶情報保持時間を得るためには第2図の V_{TH0} に設定することが望ましいが、この参照電圧レベルを仮に上記 V_{TH0} と上限値 V_{R1} との間の値、例えば V_R に設定すると、「記憶情報"0"」に対応する閾値電圧 V_{W0} の値がいかに変化しても、参照電圧 V_R との比較によりこれを「0」と認識することが可能となる。このようにすれば、情報保持時間に多少の犠牲はあつても、情報「0」の書き込み、即ち記憶情報の消去処理を簡単化でき、且つ、情報「1」に対応する閾値電圧 V_{W1} の劣化特性のみを試験すればよいという利点がある。

次に本発明の詳細を第4図～第7図に示す実施例によつて説明する。第4図は1枚の半導体基板上に集積回路化して構成される半導体記憶装置の全体構成を示した図である。図において、20-1～20- ℓ は、夫々複数個の記憶セルを有するメモリ形成領域である。各メモリ形成領域は、この例では、行方向 n 個、列方向 m 個の計 $n \times m$ 個の記憶セルを含む。10は列方向(Y方向)のアドレスデコード、11は行方向(X方向)のアドレスデコードであり、これらは外部からアドレスバス100により与えられるアドレスデータに応じて、それぞれ $Y_1 \sim Y_n, X_1 \sim X_m$ のいずれかの選択信号を「1」とする。選択信号 $Y_1 \sim Y_n, X_1 \sim X_m$ は、それぞれ ℓ 個のメモリ形成領域20-1～20- ℓ に共通に供給され、選択された ℓ 個の記憶セルを同時にアクセスする。端子R/Wは、アドレスされた記憶セルへの情報の読み出し、書き込みの動作区別を指示する制御信号入力端子であり、読み出し動作時にはアドレスされた記憶セルの情報が端子D₀-1～D₀- ℓ に出力され、書き込み動作時には端子D₁-1～D₁- ℓ の信号に応じて記憶セルへの情報書き込みがなされる。つまり、この半導体記憶装置は ℓ ビットのデータを並列的に入出力できるよう構成されている。回路15, 16および行方向アドレ

ステコーダ11に接続された回路17-1~17-mについては第5図によつて説明する。

第5図は、図面の都合上、前述した l 個のメモリ形成領域のうちの20-1と20-2の2つを取り上げ、また、このメモリ形成領域も行方向 n 個、列方向 m 個のマトリクス状の記憶セルのうち、4個の記憶セル M_{11} , M_{1n} , M_{m1} , M_{mn} だけが図示されている。

メモリ形成領域20-1に着目して説明する。記憶セル M_{11} は前述した閾値電圧の制御可能な電界効果トランジスタからなる記憶素子(トランジスタ) Q_{11} とこれに直列接続された選択素子(トランジスタ) Q_{11}' とからなり、他の記憶セル $M_{1n} \sim M_{mn}$ も同様に2つの対トランジスタからなっている。

マトリクスの各列において、各選択トランジスタのソースは列導線101-1~101-nに共通に接続され、また各記憶トランジスタのドレインは列導線102-1~102-nに共通に接続されている。一方、各行においては、選択トランジスタのゲートは行導線103-1~103-mに、記憶トランジスタのゲートは行導線104-1~104-mにそれぞれ共通接続されている。

上記列導線101-1~101-nは夫々トランジスタ $Q_{y1} \sim Q_{yn}$ を介してセンスアンプ12に接続され、上記トランジスタ $Q_{y1} \sim Q_{yn}$ は列方向(Y方向)アドレスデコーダ10の出力信号 $Y_1 \sim Y_n$ により選択的に導通が制御されて、対応する列導線の出力を上記センスアンプを介して出力端子 D_0 に読み出せるようになっている。

上記センスアンプ12の入力側端子には、直列接続されたトランジスタ Q_{32} と Q_{33} とからなる記憶素子ソース電圧制御のための回路13が接続されている。この制御回路13で、トランジスタ Q_{33} のソースは電位 $V_{SS}(=0V)$ に接続され、該トランジスタ Q_{33} の導通は読み出し/書き込み制御信号により切り換え動作するトランジスタ Q_{22} , Q_{23} からなるインバータ回路15の出力により制御されて、後述するように端子 R/W に書き込み指示の制御信号が入力されたときトランジスタ Q_{33} が導通するようになっている。また、もう一方のトランジスタ Q_{32} は、外部端子 D_1 に与えられる制御信号により導通が制御されている。従つて、この制御回路13は、情報書き込み動作

期間中の記憶素子のソースに、上記 D_1 端子に印加される制御信号に応じて、 V_{SS} か開放状態かのいずれかを設定するよう機能する。

列導線102-1~102-nは、夫々トランジスタ Q_{20} と Q_{21} とからなるインバータ回路により構成される記憶素子ドレイン電圧制御のための回路14-1~14-nに接続されている。これらの制御回路14は、トランジスタ Q_{20} の導通状態に応じて、該トランジスタ Q_{20} のソース電位 V_{SS} または端子 SV から与えられるトランジスタ Q_{21} のドレイン電位($=20V$)のいずれかを対応する列導線に接続された記憶素子のドレインに与える。上記トランジスタ Q_{20} の導通状態は、前記したインバータ回路15の出力により切り換え動作するトランジスタ Q_{24} , Q_{25} からなるもう1つのインバータ回路16の出力により決定される。

行方向(X方向)のアドレスデコーダ11からの出力信号 $X_1 \sim X_m$ は、それぞれ記憶素子ゲート電圧制御のための回路17-1~17-mに入力される。これらの制御回路17は、夫々の行選択信号 $X_1 \sim X_m$ の1つを切り換え制御信号とするトランジスタ Q_{26} , Q_{27} からなる第1インバータ回路と、このインバータ回路の出力側に直列に挿入されたトランジスタ Q_{28} と、このトランジスタ Q_{28} の出力により切り換え制御されるトランジスタ Q_{30} , Q_{31} からなる第2インバータ回路と、上記トランジスタ Q_{28} の出力側に並列に接続されたトランジスタ Q_{29} とをもつて構成される。 i 番目の行選択信号 X_i は、制御回路17-iの第1インバータを切り換え制御すると共に行導線103-iを介してこの行導線に接続された記憶セルの選択トランジスタ $Q_{11}' \sim Q_{1n}'$ の導通を制御する。また、第2インバータの出力は行導線104-iを介してこれに接続された記憶セルの記憶用トランジスタ(記憶素子) $Q_{11} \sim Q_{1n}$ のゲート電位を決定する。

上記各制御回路17-1~17-mにおいて、トランジスタ Q_{29} のドレイン、および第1インバータ回路、第2インバータ回路の各負荷側トランジスタ Q_{27} と Q_{31} のドレインは、導線106を介して外部端子 P に接続され、該端子に印加された高電圧 $V_P(=25V)$ が与えられる。上記端子 P はインバータ15と16の各負荷側トランジスタ

タ Q_{23} 、 Q_{25} のドレイン電圧供給端子を兼ねている。また、第2インバータ回路の駆動側トランジスタ Q_{20} のソースは、導体107を介して外部端子Mに接続されて電圧 V_M が与えられ、トランジスタ Q_{28} のゲートにはインバータ15の出力電圧が与えられる。上記電圧 V_M は本発明の試験方法を実施するときは統一すべき閾値電圧に相当する電圧（例えば5V）に設定され、一定時間放置後に記憶情報の劣化を検査するときは前述した第3図の V_{TS} に相当する電圧（例えば3V）に設定され、一般ユーザがこの半導体記憶装置から情報読み出しを行なうときは前記第1図の $V_{R1} \sim V_{R0}$ の範囲内にある参照電圧に設定される。

次に上記半導体記憶装置の動作について説明する。ここでは、外部から与えられたアドレスデータにより、デコーダ10、11がそれぞれ Y_1 、 X_1 を“1”とし他を“0”とする信号を出力した場合、即ち記憶セル M_{11} が選択された場合を想定する。

端子R/Wには、読み出し指定のときは高レベル、書き込み指定のときは低レベルの制御信号が与えられる。先ず、上記端子R/Wに書き込み指定の信号が入力された場合、トランジスタ Q_{22} がオフ状態となるため、インバータ回路15の出力は端子Pの電位 $V_P (=2.5V)$ となり、インバータ回路16はトランジスタ Q_{24} がオン状態となるため、その出力レベルは上記トランジスタ Q_{24} のソース電位($V_{SS} = 0V$)となる。

上記インバータ回路15の高レベルの出力は、記憶素子ソース電圧制御回路13のトランジスタ Q_{33} をオンにし、記憶素子ゲート電圧制御回路17-1~17-mのトランジスタ Q_{28} をオン状態にする。また、インバータ回路16の低レベルの出力は、上記制御回路17-1~17-mのトランジスタ Q_{20} をオフ状態にすると共に、記憶素子ドレイン電圧制御回路14-1~14-nのトランジスタ Q_{20} をオフ状態にする。

このときの、記憶素子ゲート電圧制御回路の動作をみると、第1番目の制御回路17-1では、選択信号 X_1 によりトランジスタ Q_{28} がオン状態となるため、第1インバータ回路の出力がトランジスタ Q_{28} のソース電位 $V_{SS} (=0V)$ となり、これがトランジスタ Q_{28} を介して第2インバータのトランジスタ Q_{30} をオフ状態にしている。従つ

て、第1番目の行導線104-1には端子Pから与えられる高電圧 $V_P (=2.5V)$ が出力され、この行に含まれる記憶用トランジスタ $Q_{11} \sim Q_{1n}$ のゲート電圧を書き込みレベルにする。また、もう1つの行導線103-1は選択信号 X_1 により高レベルの電位となり、この行に含まれる選択トランジスタ $Q_{11}' \sim Q_{1n}'$ を導通状態にする。他の制御回路17-2~17-mでは、選択信号 $X_2 \sim X_m$ が零レベルであるから、夫々の第2インバータ回路のトランジスタ Q_{30} はオン状態であり、行導線104-2~104-mの電位は端子Mの電圧 $V_M (=5V)$ であり、また行導線103-2~103-mの電位は0Vとなつている。

ところで、端子Diには記憶セルへの情報書き込みを許容する期間中は高レベルの信号が印加されてトランジスタ Q_{32} をオンにし、情報書き込みを阻止しようとする期間中は低レベルの信号が印加されてトランジスタをオフさせるようになつている。

今、トランジスタ Q_{32} がオン状態にあるものとする、制御回路13の出力側電位は $V_{SS} (=0V)$ となる。この電位は、列選択信号 Y_1 によりトランジスタ Q_{y1} が導通しているため、1番目の列導線101-1を0Vとするが、他の列導線101-2~101-nは開放状態にある。一方、記憶素子ドレイン電位制御回路14-1~14-Nでは、トランジスタ Q_{20} がオフであるから、各列導線102-1~102-nが負荷トランジスタ Q_{21} を介して端子SVの電位(2.0V)に接続される。

この場合、第1列の記憶セル $M_{11} \sim M_{m1}$ に着目すると、記憶セル M_{11} で選択トランジスタ Q_{11}' と記憶用トランジスタ Q_{11} の両者が導通するため、列導線102-1が $V_{SS} (=0V)$ となる。そして記憶セル M_{11} のトランジスタ Q_{11} は、ソース、ドレインが共に $V_{SS} (=0V)$ の状態であるがゲートに高い電圧 $V_P (=2.5V)$ が印加されており、情報書き込みの条件を十分に満足している。これに対し、第1列の他の記憶セル $M_{21} \sim M_{m1}$ では、各記憶用トランジスタ $Q_{21} \sim Q_{m1}$ のドレインは0Vであるが、ゲートが低い電位 $V_M (=5V)$ となつているため、ゲート絶縁層への電荷注入量は記憶セル M_{11} の場合に比較して著しく少なく、従つて閾値電圧の上昇もわずかであり、これらは

書き込み阻止状態にあると考えてよい。また、第1行目の M_{11} 以外の記憶セル $M_{12} \sim M_{1n}$ に着目すると、これらの記憶セルでは選択トランジスタ側の列導線101-2 \sim 101-nが開放状態、記憶トランジスタ側の列導線101-2 \sim 101-nが端子SVの電位($=20V$)となつてゐるため、記憶用トランジスタのゲートが25Vの高電位にあつても、実際にゲート絶縁層両端の電位差は5Vと低く、これらも書き込み阻止の状態にあると考えてよい。

記憶セル M_{11} は、端子 D_1 に低レベル信号を入力して、記憶素子ソース電圧制御回路13のトランジスタ Q_{32} をオフ状態としたとき、列導線101-1が開放状態、他方の列導線102-1が20Vとなるため、上述した M_{11} 以外の記憶セル $M_{12} \sim M_{1n}$ と同様の電圧印加条件となつて情報書き込みが阻止される。

次に、端子R/Wに読み出し指定の制御信号(高レベルの信号)が入力された場合の回路動作について説明する。この場合にはインバータ15の出力は低レベルの電圧 V_{SS} ($=0V$)、インバータ16の出力は高レベルの電圧 V_P ($=25V$)となる。従つて、記憶素子ゲート電圧制御回路17-1においては、トランジスタ Q_{20} がオフ、トランジスタ Q_{20} がオンとなり、第2インバータのトランジスタ Q_{30} は上記トランジスタ Q_{20} により与えられる高レベルの出力 V_P により導通状態となる。よつて第1行目の行導線104-1にはトランジスタ Q_{30} 側の電位、すなわち端子Mに印加され電圧 V_M が与えられる。

記憶素子ドレイン電圧制御回路13は、トランジスタ Q_{33} がオフとなるため、読み出し回路の動作には無関係となる。また、記憶素子ドレイン電圧制御回路14-1 \sim 14-nは、トランジスタ Q_{20} が導通するため、トランジスタ Q_{20} のソース電位 V_{SS} ($=0V$)を各記憶セルの記憶用トランジスタ側の列導線102-1 \sim 102-nに与える。

行選択信号 X_1 により導通される第1行目の選択トランジスタのうち、センスアンプ12に接続されるのは列選択信号 Y_1 により導通するトランジスタ Q_{y1} との接続をもつ Q_{11} のみである。記憶セル M_{11} では、すでに述べたように、記憶用トランジスタ Q_{11} のゲートに電圧 V_M が与えられ

ており、この電圧 V_M と上記トランジスタ Q_{11} の閾値電圧 V_{TH} との関係が $V_M - V_{TH} > 0$ なら導通、 $V_M - V_{TH} < 0$ なら非導通となる。従つて入力回路が V_{SS} に導通しているか否かに応じて"1"又は"0"の信号を出力するセンスアンプ12を介して、出力端子 D_0 に記憶セルの状態を読み出すことができる。

以上、メモリ形成領域20-1に着目して説明したが、メモリ形成領域20-2についても同様にしてその動作は説明される。つまり、メモリ形成領域20-2はメモリ形成領域20-1と並列的に接続されており、たとえば記憶セル M_{11} に着目するとメモリ形成領域20-1の記憶セル M_{11} と列導線103-1, 104-1は共通であり、かつ行導線 Y_1 も共通である。異なつてゐる点は、書き込み信号、読み出し信号が夫々端子 D_{1-2} , D_{0-2} から与えられる点である。他の記憶セルについても同様である。

上記説明から、第4図の半導体記憶装置は記憶セルゲート電圧制御回路17-1 \sim 17-mにより、高低2種類のゲート電圧を選択的に記憶用トランジスタのゲートに供給できること、および記憶情報読み出し時には端子Mに与えられた電圧に応じて記憶用トランジスタの導通状態が検知できることが理解される。

次に、第6図により上記実施例装置において行なう本発明による記憶保持特性の試験方法について述べる。第6図でAは端子R/Wに入力する制御信号波形を示している。この例では、時刻 $t_0 \sim t_1$ の間で記憶セル M_{11} をアドレスし、 $t_1 \sim t_2$ においてパルス幅5 μs の信号を端子R/Wに与え、 $t_2 \sim t_3$ でアドレスを更新して記憶セル M_{12} をアドレスし、 $t_3 \sim t_4$ で上記同様のパルス信号をR/Wに与え、以下、このような信号印加が全ての記憶セルについて繰り返されている。尚、通常の情報書き込み動作において、記憶素子への高電圧パルス(例えば25V)の印加時間が例えば10msで行なわれるような半導体記憶素子と対象とする場合、上記 $t_1 \sim t_2$, $t_3 \sim t_4$ の期間を20msとし、有効書き込み時間が10msとなるようにすればよい。

端子R/Wへの上記パルスAの印加は、端子Pに $V_P = 25V$ 、端子Mに $V_M = 5V$ を印加した状態で行なわれる。また各記憶セル毎に、第6図

E, Fに示す如く、最初は端子D₁に“1”レベルの信号を与え、端子D₀の出力が“0”から“1”に変化したことに応答して上記D₁の信号を“0”に切り換えるようにする。

このようにすると、それぞれ記憶セルM₁₁, M₁₂, M_{1j}に含まれる記憶用トランジスタQ₁₁~Q_{1j}の閾値電圧V_{TH}は、第6図B, C, Dに示すように、情報書き込み動作が繰り返されて徐々に閾値電圧が上昇する。また、書き込み動作と読み出し動作を交互に行ない、読み出し動作は記憶素子のゲートに基準値V_Mを印加して行なうことにより、閾値電圧V_{TH}が上記基準値V_Mに一致したことを、波形Eに示す如く端子D₀の出力波形の変化から検知でき、これにตอบสนองして波形Fに示すように端子D₁の印加信号を“1”から“0”に切り換えることにより、それ以上の情報書き込みを阻止するようにする。従つて、記憶素子Q₁₁についてみれば、閾値電圧が基準値V_Mに一致した時刻t_{E1}以降は、端子R/Wに書き込みパルスが印加されても記憶素子Q₁₁へのそれ以上の電荷注入は阻止され、閾値電圧は一定値に保たれる。

波形Dは記憶素子Q_{1j}の閾値電圧の上昇が極めて徐々であり、所定時間内に基準値V_Mに到達しなかつた場合を示している。このような記憶素子は通常使用時において情報書き込み直後の閾値電圧が他の記憶素子に比較して低くなり、情報保持期間も他の素子より短くなることが予想されるため、検査工程でこのような不良素子を検出したときは当該記憶装置を不良と断定し、排除するようにしてもよい。上記した不良素子に該当するか否かは時刻t₁における端子D₀の信号により判別できる。

尚、第4図の記憶装置では上記した情報の書き込み出しの動作がメモリ形成領域20-1~20- ℓ の ℓ ビットの記憶セルに並列的に行なわれ、所定閾値電圧に達したビット毎に端子D₁₋₁~D_{1- ℓ} の信号が書き込み阻止状態へ切り換えられることになる。

第7図は以上説明した第1の試験工程を実施するための試験装置の1例を示す。図において、30は半導体記憶装置、40はプログラムに沿つた所定シーケンスでデータ処理をするデータ処理装置、41は上記データ処理装置による判定結果を表示

する表示装置である。また、31は半導体記憶装置の情報読み取り動作時に、端子D₀の出力を順次取り込み動作するラッチ回路、32は上記ラッチ回路31の出力の反転信号を端子D₁に印加するためのインバータ回路を示す。これらのラッチ回路とインバータ回路は ℓ ビット並列データの各ビット毎に設けられるが、ここではそのうちの1個ずつを示してある。上記回路構成において、データ処理装置40は半導体記憶装置30内の記憶セルを順次アドレスしつつ、端子Mに5Vを与え、また端子R/Wに先に第5図で説明した波形Aに相当する制御信号を出力し、各記憶セル毎に所定の書き込みパルス出力を終了した時点でラッチ回路31のデータを読みとり、前記Q_{1j}に相当する不良素子を検出したときはその旨表示装置41に表示し、全ての記憶セルについて統一された閾値電圧での情報書き込みを完了したとき、その旨を表示装置41に表示して試験すべき半導体記憶装置の交換を試験作業者に通知する。

以上、第5図、第7図の回路構成をとることにより、異なるメモリ形成領域内の記憶セルに対しても夫々同じ閾値が設定できるようになる。すなわち第5図において、メモリ形成領域20-1, 20-2内の記憶セルM₁₁は、夫々同じ行信号Y₁、列信号X₁により選択され、同じくゲートにパルスが印加されるが、これらM₁₁は同じ閾値特性を有するとは限らず、同じ条件下において閾値電圧を変更させると不ぞろいの閾値電圧となつてしまう。しかし、本実施例によれば、メモリ形成領域20-1, 20-2には、夫々の閾値状態に応じて、夫々の端子D₁₋₁, D₁₋₂の信号が個別的に反転し、夫々のQ₃₂をオフするため、夫々の記憶セルを独立に書き込み阻止状態にできる。

このようにして全ての記憶セルが統一された閾値電圧となるよう情報書き込み(第1工程)を終えた半導体記憶装置は、第2の工程として、各記憶情報の劣化をみるために所定時間放置される。この場合、通常の環境下での自然放電による閾値電圧の低下は極めて微々たるものであり、顕著なる変化を見つけるためには長時間を要することになる。このため、例えば85℃程度に加熱された雰囲気中に半導体記憶装置を入れ、記憶情報の劣化を促進し、24時間程度の比較的短い期間で閾値電圧に認識できる変化が現われるようにするこ

とが好ましい。

いずれの方式を採用するにしても、本発明によれば情報書き込み後、所定時間経過後の半導体記憶装置は、第3工程の試験をするため、再び第6図に示す試験装置に設定される。このとき、半導体記憶装置の端子Mに加える電圧は第1の工程で使

用した電圧 V_M （例えば5V）より低い電圧 V_{TS} となる。この電圧 V_{TS} は既に第3図において説明したように、記憶素子の劣化した閾値電圧の許容限界値を相当し、例えば3V程度とする。第3工程の試験に必要なことは、各記憶素子のゲートに上記参照電圧 V_{TS} （例えば3V）を与えたとき、記憶素子が導通するかを検出することである。これは V_{TS} を参照電圧として各記憶セルから情報を読み出すことに他ならない。従つて、第3工程でデータ処理装置40に要するプログラムシーケンスは、記憶セルを順次アドレスし、その都度、記憶装置のR/W端子に読み出し指示の制御信号を与え、ラッチ回路31の出力に

応答して、不良素子を検出したときは表示装置にその旨を表示し、全ての記憶セルについて良の判定をしたときその旨を表示して試験動作を終了するようにすればよい。

以上の説明から明らかなように、本発明による半導体記憶装置の試験方法は、情報書き込み時の個々の記憶素子の状態を記憶する必要がなく、また所定時間経過後に行なう各記憶素子の状態チェックも所定の参照電圧でのデータ読取り動作だけ

で不良の有無を識別できるため、半導体記憶装置の信頼性の保証を極めて簡単、且つ効果的に行なうことができる。

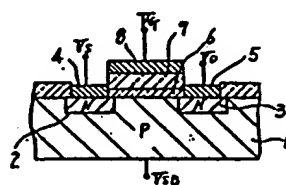
また、本発明の実施例において提案された半導体記憶装置は上記した試験方法の実施を高速で行なうのに適しており、回路構成も極めて簡単である。尚、本発明の試験方法および半導体記憶装置は実施例に示した記憶セル構造以外の類似の原理に基づく記憶セルを有する記憶装置にも適用できること明らかである。

図面の簡単な説明

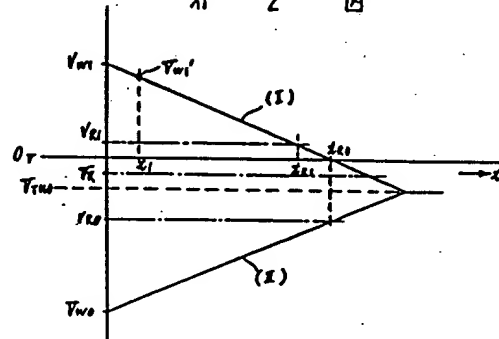
第1図は本発明の対象とする半導体記憶素子の1例を示す素子構造図、第2図は上記半導体記憶素子の記憶情報の劣化について説明するための図、第3図は本発明による半導体記憶装置の試験方法の原理説明図、第4図は本発明による半導体記憶装置の1実施例を示す回路図、第5図は上記第4図装置の要部を更に詳細に示した回路図、第6図は本発明による試験方法の最初の工程を説明するための信号波形図、第7図は本発明による試験方法を実施するための試験装置の全体構成の1例を示す図である。

第5図において、 $M_{11} \sim M_{mn}$ は記憶セル、10は列方向のアドレスデコーダ、11は行方向のアドレスデコーダ、12はセンスアンプ、13は記憶素子ソース電圧制御回路、14-1~14-nは記憶素子ドレイン電圧制御回路、17-1~17-mは記憶素子ゲート電圧制御回路を示す。

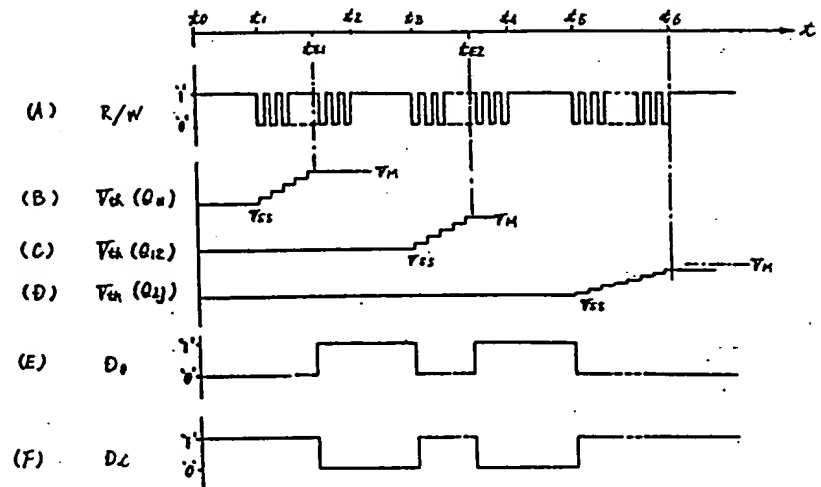
第 1 図



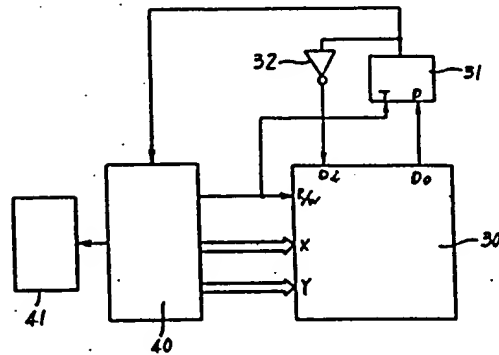
第 2 図



第 6 図



第 7 図





POLYGLOT INTERNATIONAL

Global Management of Language-Related Projects

340 Brannan Street, Fifth Floor
San Francisco, CA 94107 • USA

Tel (415) 512-8800
FAX (415) 512-8982

TRANSLATION FROM JAPANESE

- (19) JAPANESE PATENT OFFICE (JP)
 - (11) Japanese Patent Publication (Kokoku) No. 59-31158
 - (10) Official Gazette for Patent Publications (B2)
 - (51) Int. Cl.³: Classification Symbols: Internal Office Registration Nos.:

G 11 C	29/00 17/00	7922-5B 6549-5B
--------	----------------	--------------------
 - (24) (44) Registration Date: July 31, 1984
 - Number of Inventions: 2
 - (Total of 10 pages [in original])
-
- (54) Memory Device and Method for Using Same
 - (21) Application No. 53-159842
 - (22) Filing Date: December 27, 1978
 - (65) Japanese Laid-Open Patent Application No. 55-89996
 - (43) Disclosure Date: July 8, 1980
 - (72) Inventor: Atsushi Takai
 - (72) Inventor: Ryuji Kondo
 - (72) Inventor: Takaaki Hagiwara
 - (71) Applicant: Hitachi, Ltd.
 - (74) Agent: Akio Takahashi, Patent Attorney (and one other)
 - (56) Cited Publications: Japanese Laid-Open Patent Applications 51-93638 and 51-114037 (both JP, A)

(57) Claims

1. A memory device, wherein field-effect transistors having variable threshold values serve as storage elements, said storage elements are arranged in matrices in the row and column directions, and the source of a single storage element is connected to a data line by the selection signals in row and column directions, wherein said memory device is characterized by comprising:

a first circuit for generating a plurality of pulse voltages that vary between a first voltage, which is sufficient to change said threshold values, and a prescribed second voltage;

a second circuit for presenting a write enable signal to said data line every time said pulse voltage reaches the first voltage; and

a third circuit for reading the information stored by storage elements that has appeared in said data line every time said pulse voltage reaches the second voltage, blocking the write enable signal of said second circuit when a prescribed threshold value has been reached, and presenting said data line with a write inhibit signal.

2. A method for using semiconductor devices arranged in such a way that field-effect transistors having variable threshold values serve as storage elements, a plurality of gates of said storage elements are connected in parallel in the column direction, and a plurality of storage elements are selected from among the plurality of storage elements in said column direction by the selection signals in the row and column directions, wherein said method for using semiconductor devices is characterized by the fact that

the routine described below is performed while the gates of the plurality of storage elements in said column direction are presented with a plurality of pulse voltages that vary between a first voltage, which is sufficient to change said threshold values, and a prescribed second voltage.

(i) Every time said pulse voltage reaches the first voltage, a write enable signal is presented to the source of the storage element for which the threshold value is to be changed.

(ii) The information stored by the storage elements selected by the selection signals in the row and column directions is read every time said pulse voltage reaches the second voltage.

(iii) Write inhibit signals are selectively presented to the sources of the storage elements that correspond to those portions of said read information which have changed their state.

Detailed Description of the Invention

The present invention relates to a memory device in which insulated-gate field-effect transistors that permit stored data to be electrically rewritten are used as storage elements, and to a method for using such a device.

Of storage devices in which semiconductor elements with information storage capabilities are arranged in matrices by circuit integration technology to allow the information to be read in a nondestructive manner, semiconductor storage devices in which information stored by the semiconductor elements can be rewritten by electrical signals from the outside have attracted particular attention in recent years. Japanese Patent Publication 51-42901 describes an example of such a semiconductor storage device, in which the field-effect transistor shown in Figure 1 is used as a storage element.

This field-effect transistor is constructed in such a way that the surface of a semiconductor having one type of conduction (for example, the surface of a p-type silicon substrate 1) is provided with a source region 2 and a drain region 3 having the opposite type of conduction (n-type); a source electrode 4 and a drain electrode 5 in ohmic contact with these regions are provided; and a gate electrode 8 is formed via insulation layers 6 and 7 on the surface of the silicon substrate between the aforementioned n-type regions 2 and 3. The aforementioned substrate 1 can also be a region separated by a pn junction on an integrated circuit substrate. In addition, the insulating layers immediately underneath the aforementioned gate electrode consist, for example, of a silicon dioxide layer 6 and a silicon nitride layer 7, and electric charges pass from the substrate 1 through the layer 6 due to the tunneling effect, and collect and accumulate in the layer 7 when an electric field exceeding the critical value is applied in a direction perpendicular to the insulating layer by the gate voltage V_G and the substrate voltage V_{SB} . These charges can be retained in the silicon nitride layer for

a certain time even after the aforementioned electric field has been removed, and can be easily released by applying an electric field exceeding a certain value in a direction opposite that mentioned above.

For example, when the substrate voltage V_{SB} , source voltage V_S , and drain voltage V_D of the field-effect transistor in Figure 1 are each set to 0 V, and the gate voltage V_G is set to a high positive voltage V_P (for example, 25 V), electrons are injected into the silicon nitride layer 7, and these injected electrons remain in the layer 7 even after the gate voltage is removed, attracting positive charges to the surface of the silicon substrate 1 and raising the conducting threshold voltage of the transistor. Conversely, when the source voltage V_S and the drain voltage V_D are removed and the substrate voltage V_{SB} is set to V_P and the gate voltage to 0 V, the electrons are expelled from the silicon nitride layer 7, a positive charge is acquired, and the threshold voltage of the transistor decreases. Therefore, the state of the aforementioned threshold voltage can be made to correspond to the "1" or "0" of binary information, and the storage state of the information in the field-effect transistor can be determined based on whether or not the transistor is conductive when a prescribed gate voltage has been applied.

However, in semiconductor storage devices in which such field-effect transistors are used as storage elements, the charge captured and accumulated by the insulating layers is gradually reduced by natural discharge, changing the threshold voltage. It is therefore necessary to test whether or not such storage elements possess sufficient information holding time during the examination of semiconductor storage devices, and to select and remove storage devices containing the faulty storage elements whose information holding time does not satisfy a specific value. Such testing is also needed for the ranking of semiconductor storage devices by information holding time.

Figure 2 is a diagram schematically showing the deterioration characteristics (i) and (ii) of the aforementioned threshold voltages V_{W1} and V_{W0} . Time is plotted on the horizontal axis. In this example, each threshold voltage converges virtually rectilinearly to the threshold voltage V_{TH0} of the natural state as a result of the fact that the time axis has a logarithmic scale. When the allowable design range of the detection levels of a readout detector falls between V_{R1} and V_{R0} , the time during which information is held by a storage element that has the deterioration characteristics shown in Figure 2 above is expressed as the time t_{R1} it takes for the threshold voltage V_{W1} to reach level V_{R1} . Since the value of the aforementioned t_{R1} is extremely large in this

case (from several to ten years), the actual testing of information holding characteristics involves detecting the threshold voltage V_{w1}' at time t_1 (after a prescribed time has elapsed following the initial setting time t_0) and estimating characteristics (I) on the basis of the initial value V_{w1} and the detected value V_{w1}' .

However, the numerous storage elements that are formed into matrices on the substrates of such semiconductor storage devices are such that not only is the degree of change of the threshold voltage caused by the aforementioned natural discharge different in each case, but also the amount of charge collected and accumulated upon the application of the same write pulse (in other words, the initial threshold voltage itself) is different for each element. A resulting disadvantage is that, strictly speaking, the quality of the information holding characteristics of storage devices must be determined by temporarily storing the initial value of the threshold voltage of each element, comparing the threshold voltage with the stored value after a predetermined time has elapsed, and determining individual attenuation levels. This procedure requires the use of large-capacity data storage means as testing devices, and the testing itself becomes a highly complicated procedure.

An object of the present invention is to offer a memory device capable of bringing the threshold voltages of the aforementioned information-rewritable field-effect transistors to a prescribed level, and to offer a method for using this device.

Aimed at achieving the stated object, the memory device of the present invention is characterized by the fact that quality is determined by a process in which a gate voltage whose magnitude is sufficient to change the threshold voltage is repeatedly applied in the form of narrow pulses to the field-effect transistors constituting the storage elements of the device, and a write inhibit signal is applied to the source when the threshold voltage has reached a predetermined value, whereby the initial threshold voltages of all the storage elements in the storage device are equalized, and the state of change of the threshold voltage of each storage element is measured after a prescribed time has elapsed.

In addition, the memory device of the present invention is characterized by the fact that information supplied from the outside is read to the gate electrodes of a group of row-direction and column-direction field-effect transistors that constitute the storage elements of the device, a control circuit is provided for selectively applying two types of voltages (high and low) in accordance with read control signals, and the storage-

element field-effect transistors are alternately presented via the aforementioned control circuit with high-voltage pulses sufficient to change the threshold voltage and with a base voltage for detecting the threshold voltage during the testing of the information holding characteristics, making it possible to apply a prescribed gate voltage serving as a reference voltage for detecting the conduction state of a transistor via the aforementioned control circuit during a common procedure for reading the stored information.

The principle and practical examples of the present invention will now be described in detail with reference to drawings.

Figure 3 is a diagram illustrating the principle of the method for testing the semiconductor storage device pertaining to the present invention. In the present invention, the initial threshold voltages of all the field-effect transistors constituting the storage elements, that is, the threshold voltages during the writing of information at time t_0 , are made to conform to a constant value V_w , and the threshold voltage of each element is detected after a prescribed time t_1 has passed. In Figure 3, it is assumed that the aforementioned detection values of three storage elements are A, B, and C, and that the attenuation tendencies of the threshold values with respect to the initial value V_w continue unchanged even past time t_1 . Under these conditions, it is assumed that the time needed for the threshold voltage of each element to reach the detection level V_{R1} will agree with the guaranteed time of data retention in the element with the detection value A, the element with the detection value B will exceed this level, and the element with the detection value C will drop to a level V_R in a short time t_c . Therefore, once the initial threshold voltage of each storage element is brought to the level of V_w , the quality of each storage element can very easily be determined merely by estimating whether the threshold value detected at time t_1 is higher or lower than V_{Ts} , where V_{Ts} is a threshold voltage corresponding to the aforementioned detection value A.

Because the threshold voltage of a field-effect transistor corresponds to the gate voltage at the boundary point at which the conduction state of the transistor changes from "on" to "off" or from "off" to "on," the following should be done to bring the initial threshold voltage of each storage element to the level of V_w : narrow pulses of high voltage should be repeatedly applied to the gate electrode to gradually raise the threshold voltage of each storage transistor, the voltage V_w should be applied to the gate electrode interchangeably with the application of each pulse to examine the conduction state of the transistor, and the application of the aforementioned high-

voltage pulses should be stopped once the conduction state of the transistor has changed. In addition, the threshold voltage should be detected after a prescribed time has passed by bringing the gate voltage to the level of the set voltage V_{TS} and examining the conductivity of each storage transistor.

It is desirable for the reference voltage level applied to the gate electrode during the reading of information from a storage element in a normal manner to be set to V_{TH0} in Figure 2 in order to obtain the longest stored information holding time, but if this reference voltage level is set to a value between the aforementioned V_{TH0} and the aforementioned V_{RI} (for example, at V_R), a comparison with the reference voltage V_R may indicate that the threshold voltage V_{w0} , which corresponds to "0" stored as information, is itself "0," irrespective of the changes undergone by this voltage. Thus, an advantage is that even when the information holding time is sacrificed to some extent, writing "0" as information (that is, erasing stored information) can be simplified, and it is sufficient to test only the deterioration characteristics of the threshold voltage V_{w1} corresponding to an informational one.

The present invention will now be described in detail through the practical examples shown in Figures 4 through 7. Figure 4 is a diagram depicting the entire structure of a semiconductor storage device integrated into a circuit on a single semiconductor substrate. In the figure, 20-1 through 20- ℓ are memory-forming regions, each having a plurality of storage cells. The column of each memory-forming region contains n storage cells in the row direction and $n \times m$ storage cells in the column direction. 10 is the address decoder in the column direction (Y direction), and 11 is the address decoder in the row direction (X direction). These decoders set the selection signals of either Y_1 through Y_n or X_1 through X_m to "1" in response to the address data presented via an address bus 100 from the outside. Both the selection signals Y_1 through Y_n and the selection signals X_1 through X_m are presented to the corresponding ℓ memory-forming regions 20-1 through 20- ℓ , and the ℓ selected storage cells are accessed simultaneously. R/W is a control signal input terminal for indicating whether information should be read from the addressed storage cell or written to it. During reading, the information of the addressed cell is outputted to terminals D_0 -1 through D_0 - ℓ , and during writing information is written to a storage cell in accordance with the signals of terminals D_1 -1 through D_1 - ℓ . In other words, this semiconductor storage device is configured in such a way that ℓ -bit data can be inputted in parallel.

Circuits 17-1 through 17- m , which are connected to circuits 15 and 16 and to a row-direction address decoder 11, are described with reference to Figure 5.

For the sake of convenience, only two (20-1 and 20-2) of the aforementioned ℓ memory-forming regions are shown in Figure 5. In these memory-forming regions, only four (M_{11} , M_{1n} , M_{m1} , and M_{mn}) of the storage cells arranged as matrices having n elements in the row direction and m elements in the column direction are shown.

The description will focus on the memory-forming region 20-1. The storage cell M_{11} comprises a storage element (transistor) Q_{11} composed of the aforementioned field-effect transistor with the controllable threshold voltage, and a selection element (transistor) Q_{11}' connected in series to the first transistor. Each of the other storage cells (M_{1n} through M_{mn}) is also composed of two paired transistors.

In each matrix column, the sources of the selection transistors are connected together to column conductors 101-1 through 101- n , and the drains of the storage transistors are connected together to column conductors 102-1 through 102- n . In each row, the gates of the storage transistors are connected together to row conductors 103-1 through 103- m , and the gates of the selection transistors are connected together to row conductors 104-1 through 104- m .

The aforementioned column conductors 101-1 through 101- n are connected to a sense amplifier 12 via transistors Q_{y1} through Q_{yn} , and the conductivity of the aforementioned transistors Q_{y1} through Q_{yn} is selectively controlled by the output signals Y_1 through Y_n of the column-direction (Y-direction) address decoder 10, making it possible for the output of the corresponding column conductors to be read to the terminal D_0 via the aforementioned sense amplifier.

A circuit 13 that is designed to control the source voltages of storage elements and that comprises transistors Q_{32} and Q_{33} connected in series is connected to the input-side terminal of the aforementioned sense amplifier 12. In this control circuit 13, the source of the transistor Q_{33} is connected to a potential V_{ss} ($= 0$ V); the conductivity of said transistor Q_{33} is controlled by the output of an inverter circuit 15 comprising transistors Q_{22} and Q_{23} , which are switched by read/write control signals; and the transistor Q_{33} becomes conductive when a write instruction control signal has been inputted to the terminal R/W, as described below. In addition, the conductivity of the other transistor (Q_{32}) is controlled by control signals presented to an outside

terminal D_1 . Therefore, the control circuit 13 functions in such a way that the source of a storage element to which information is being written is set to V_{ss} or brought to an open state in accordance with the control signals applied to the aforementioned terminal D_1 .

The column conductors 102-1 through 102- n are connected to circuits 14-1 through 14- n that are designed to control the drain voltages of storage elements and that are composed of inverter circuits each of which comprises transistors Q_{20} and Q_{21} . These control circuits 14 apply one of the following signals to the drains of storage elements connected to the corresponding column conductors in accordance with the conduction state of the transistor Q_{20} : the source potential V_{ss} of said transistor Q_{20} , or the drain potential ($= 20$ V) of the transistor Q_{21} presented by a terminal SV. The conduction state of the aforementioned transistor Q_{20} is determined by the output of another inverter circuit (circuit 16). This circuit comprises transistors Q_{24} and Q_{25} that are switched by the output of the aforementioned inverter circuit 15.

The output signals X_1 through X_m from an address decoder 11 in the row direction (X direction) are inputted to circuits 17-1 through 17- m for controlling the gate voltage of individual storage elements. These control circuits 17 consists of the following components: first inverter circuits composed of transistors Q_{26} and Q_{27} , in which one of the row selection signals Z_1 through X_m is used as a switch control signal; transistors Q_{28} connected in series to the output side of these inverter circuits; second inverter circuits composed of transistors Q_{30} and Q_{31} , in which the switching is controlled by the output of the transistors Q_{28} ; and transistors Q_{29} connected in parallel on the output side of the aforementioned transistors Q_{28} . The i -th row selection signal X_i controls the switching of the first inverter of a control circuit 17- i and controls, via a row conductor 103, the conductivity of the selection transistors Q_{i1}' through Q_{in}' of the storage cell connected to this row conductor. In addition, the output of a second inverter determines, via a row conductor 104, the gate potentials of the storage transistors (storage elements) Q_{i1} through Q_{in} connected to this conductor.

In each of the aforementioned control circuits 17-1 through 17- m , the drain of the transistor Q_{29} is connected via a conductor 106 to an outside terminal P together with the drains of the load-side transistors Q_{27} and Q_{31} of the first inverter circuit and the second inverter circuit, and the high voltage V_P ($= 25$ V) applied to this terminal is presented. The aforementioned terminal P doubles as a drain voltage feed terminal for the load-side transistors Q_{23} and Q_{25} of the inverters 15 and 16. The source of the

drive-side transistor Q_{20} of the second inverter circuit is connected to an outside terminal M via a conductor 10 and is presented with a voltage V_M , and the output voltage of the inverter 15 is applied to the gate of the transistor Q_{28} . The aforementioned voltage V_M is set [i] to a level (for example, 5 V) that corresponds to the threshold voltage to be equalized when the test method of the present invention is implemented, [ii] to a level (for example, 3 V) that corresponds to V_{TS} in Figure 3 described above when the deterioration of stored information is examined following storage for a prescribed time, and [iii] to a reference voltage within the V_{R1} to V_{R0} range shown in Figure 1 above when a regular user attempts to read the information from the semiconductor storage device.

The operation of the aforementioned semiconductor storage device will now be described. The case considered here will be one in which the decoders 10 and 11 output signals in which one of Y_1 and X_1 is "1" and the other is "0" as a result of using the address data presented from the outside, that is, one in which the storage cell M_{11} has been selected.

The terminal R/W is presented with a high-level control signal when reading has been designated, and with a low-level control signal when writing has been designated. First, the transistor Q_{22} is switched off when a signal that specifies writing has been inputted to the aforementioned terminal R/W, so the output of the inverter circuit 15 acquires the potential V_P ($= 25$ V) of the terminal P, and because the transistor Q_{24} of the inverter circuit 16 is switched on, the output level thereof is the source potential ($V_{SS} = 0$ V) of the aforementioned transistor Q_{24} .

The high-level output of the aforementioned inverter circuit 15 switches on the transistor Q_{33} of the circuit 13 for controlling the source voltage of storage elements, and switches on the transistor Q_{28} of the circuits 17-1 through 17- m for controlling the gate voltage of the storage elements. In addition, the low-level output of the inverter circuit 16 switches off the transistor Q_{29} of the aforementioned control circuits 17-1 through 17- m , and switches off the transistor Q_{20} of the circuits 14-1 through 14- n for controlling the detection value of the storage elements.

At this point, the circuits for controlling the gate voltage of the storage elements operate in such a way that the transistor Q_{26} of the first control circuit 17-1 is switched on by a selection signal X_1 , with the result that the output of the first inverter circuit is brought to the level of the source potential V_{SS} ($= 0$ V) of the transistor Q_{26} , and this

change switches off the transistor Q_{30} of the second inverter via the transistor Q_{28} . The high voltage $V_P (= 25 \text{ V})$ presented from the terminal P is therefore outputted to the first row conductor 104-1, bringing to the write level the gate voltage of the storage transistors Q_{11} through Q_{1n} contained in this row. Another row conductor, 103-1, is also endowed with a high-level potential by a selection signal X_1 , and the selection transistors Q_{11}' and Q_{1n}' contained in this row are rendered conductive. Because the selection signals X_2 through X_m for the other control circuits 17-2 through 17- m are at a zero level, the transistor Q_{30} of each of the second inverter circuits is switched on, the potential of the row conductors 104-2 through 104- m assumes the voltage $V_M (= 5 \text{ V})$ of the terminal M, and the potential of the row conductors 103-2 through 103- m becomes 0 V.

It should be noted that a high-level signal is applied and the transistor Q_{32} switched on during a period in which it is permissible to write information to a storage cell, and that a low-level signal is applied and the transistor switched off during a period in which an attempt is made block the writing of information.

If one assumes now that the transistor Q_{32} is on, then the output-side potential of the control circuit 13 will be $V_{SS} (= 0 \text{ V})$. Because this potential renders the transistor Q_{y1} conductive by means of a column selection signal Y_1 , the first column conductor 101-1 is at 0 V but the other column conductors (101-2 through 101- n) are in an open state. On the other hand, the transistors Q_{20} of the aforementioned circuits 14-1 through 14- N for controlling the drain potential of storage elements are off, so the column conductors 102-1 through 102- n are connected to the potential (20 V) of the terminal SV via load transistors Q_{21} .

When the storage cells M_{11} through M_{m1} of the first column are considered in this case, it becomes clear that the column conductor 102-1 acquires $V_{SS} (= 0 \text{ V})$ because both the selection transistor Q_{11}' and the storage transistor Q_{11} of the storage cell M_{11} become conductive. In the transistor Q_{11} of the storage cell M_{11} , both the source and the drain are in the V_{SS} state ($= 0 \text{ V}$), and a high voltage $V_P (= 25 \text{ V})$ is applied to the gate, satisfying the information write conditions. By contrast, in the other storage cells (M_{21} through M_{m1}) of the first column, the drains of the storage transistors Q_{21} through Q_{m1} are at 0 V, and the gates are at a low potential $V_M (= 5 \text{ V})$, so fewer charges are injected into the gate insulating layer than in the case of the storage cell M_{11} , increasing the threshold voltage only slightly. It can thus be assumed that these are in a write inhibit state. When the storage cells M_{12} through M_{1n}

(cells other than the cell M_{11}) of the first row are considered, it becomes clear that the column conductors 101-2 through 101- n of the selected transistors in these storage cells are in an open state and that the column conductors 101-2 through 101- n located on the storage transistor side acquire the potential ($= 20$ V) of the terminal SV, with the result that, in practice, the potential difference between the two ends of the gate insulating layer is a low 5 V even when the gate of a storage transistor has a high potential of 25 V, and these components are also in a write inhibit state.

In the storage cell M_{11} , the column conductor 101-1 is in an open state, and the other column conductor 102-1 is at 20 V when a low-level signal is inputted to a terminal D_1 and the transistor Q_{32} of the circuit 13 for controlling the source voltage of the storage elements is switched off, so the same voltage application conditions as those for the aforementioned storage cells M_{12} through M_{1n} (cells other than M_{11}) are established, and information writing is blocked.

The operation of a circuit in which a control signal (high-level signal) that specifies writing has been inputted to the terminal R/W will now be described. In this case, the output of the inverter 15 has a low-level voltage V_{ss} ($= 0$ V), and the output of the inverter 16 has a high-level voltage V_p ($= 25$ V). Consequently, the transistor Q_{28} is off and the transistor Q_{29} is on in the circuit 17-1 for controlling the gate voltage of storage elements, and the transistor Q_{30} of the second inverter is rendered conductive by the high-level output V_p presented by the aforementioned transistor Q_{29} . The conductor 104-1 of the first row is therefore presented with the potential that exists on the side of the transistor Q_{30} , that is, with the voltage V_M [applied] to the terminal M.

In the circuit 13 for controlling the drain voltage of storage cells, the transistor Q_{33} is off, and is hence unrelated to the operation of read circuits. In addition, because the transistors Q_{20} of the circuits 14-1 through 14- n for controlling the drain voltage of storage cell are in a conductive state, the source potential V_{ss} ($= 0$ V) of the transistors Q_{20} is applied to the column conductors 102-1 through 102- n located on the storage transistor side of each storage cell.

Of the selection transistors of the first row that are rendered conductive by the row selection signal X_1 , only Q_{11}' , which is connected to the transistor Q_{y1} rendered conductive by the column selection signal Y_1 , is connected to the sense amplifier 12. In the storage cell M_{11} , as described above, a voltage V_M is applied to the gate of the

storage transistor Q_{11} , and the relation between this voltage V_M and the threshold voltage V_{TH} of the aforementioned transistor Q_{11} is conductive when $V_M - V_{TH} > 0$, and nonconductive when $V_M - V_{TH} < 0$. Consequently, the state of a storage cell can be read to the output terminal D_0 via the sense amplifier 12, which outputs "1" and "0" signals depending on whether the input circuit is conductive with respect to V_{SS} .

The above description primarily concerned the memory-forming region 20-1, but the operation of the memory-forming region 20-2 can be described in the same manner. Specifically, the memory-forming region 20-2 is connected in parallel to the memory-forming region 20-1, and, in a particular example of the storage cell M_{11} , the column conductors 103-1 and 104-1 are in a common mode with the storage cell M_{11} of the memory-forming region 20-1, as is the row conductor Y_1 . A difference is that write and read signals are presented from the terminals D_{1-2} and D_{0-2} , respectively. The same is true for other storage cells.

It is apparent from the above description that the semiconductor storage device shown in Figure 4 is such that two types of gate voltages (high and low) can be selectively applied to the gates of storage transistors by the circuits 17-1 through 17-m for controlling the gate voltages of storage cells, and that the conduction state of the storage transistors can be detected in accordance with the voltage applied to the terminal M during the reading of stored information.

The method for testing the storage holding characteristics that pertains to the present invention and that is performed using the device described in the practical example above will now be described with reference to Figure 6. Figure 6A depicts the control signal waveform inputted to the terminal R/W. In this example, the storage cell M_{11} is addressed during the period between t_0 and t_1 , a signal with a pulse width of 5 μs is applied to the terminal R/W during the period between t_1 and t_2 , the address is updated and the storage cell M_{12} addressed during the period between t_2 and t_3 , the same pulse signal as above is applied to R/W during the period between t_3 and t_4 , and such signal application is then repeated for all storage cells. The aforementioned periods between t_1 and t_2 and between t_3 and t_4 should be set to 20 ms, and the effective write time to 10 ms, when the semiconductor storage elements involved are such that the time during which a high-voltage pulse (for example, 25 V) is applied to a storage element is, for example, 10 ms during a common operation write procedure.

The aforementioned pulse A is applied to the terminal R/W in such a way that a V_P of 25 V is applied to the terminal P, and a V_M of 5 V is applied to the terminal M. In addition, as shown in Figures 6E and 6F, a signal with a level of 1 is first applied to the terminal D_1 of each storage cell, and the signal of the aforementioned D_1 is switched to "0" in response to the change in the output of the terminal D_0 from "0" to "1."

The result is that the threshold voltages V_{TH} of the storage transistors Q_{11} through Q_{ij} contained in the corresponding storage cells M_{11} , M_{12} , and M_{ij} are such that the information read procedures are repeated and the threshold voltages allowed to increase gradually, as shown in Figures 6B, 6C, and 6D. In addition, reading and writing are performed interchangeably, and the reading is accomplished by applying a base voltage to the gates of storage elements, whereby the fact that the threshold voltage V_{TH} has matched the aforementioned base voltage V_M can be detected based on the change in the output waveform of the terminal D_0 , as shown by the waveform E, and the signal applied to the terminal D_i is changed from "1" to "0" in response to this, as shown by the waveform F, whereby any further writing of information is prohibited. The consequence is that, for example, in the case of the storage element Q_{11} , any further injection of electrons into the storage element Q_{11} is prohibited, and the threshold voltage remains constant, even when write pulses are applied to the terminal R/W after the threshold voltage has matched the base value V_M at time t_{E1} .

Waveform D depicts a case in which the threshold voltage of the storage cell Q_{ij} rises very slowly and fails to reach the basic value V_M within a prescribed time. It is expected that with such a storage element, the threshold voltage achieved immediately after information has been written in the course of normal use is lower than that of any other storage element, and that the information holding time will be shorter than that of any other element. It is therefore possible to conclude that the storage device is faulty when such a faulty element has been detected in the course of an examination process, and to exclude [this device]. Correspondence to the aforementioned faulty element can be determined based on the signal of the terminal D_0 at time t_6 .

In the storage device shown in Figure 4, the aforementioned information is written in parallel fashion to the ℓ -bit storage cells of the memory-forming region 20-1 through 20- ℓ , and the signals of the terminals D_{1-1} through $D_{1-\ell}$ are switched to the write inhibit state for each bit that has reached a prescribed threshold voltage.

Figure 7 depicts an example of a test apparatus for carrying out the first of the aforementioned test processes. In the figure, 30 is a semiconductor storage device, 40 is a data processing device for processing data in accordance with a prescribed sequence defined by a program, and 41 is a display device for displaying the determination results obtained by the aforementioned data processing device. In addition, 31 is a latch circuit for sequentially receiving the output of the terminal D_0 during the information read operation of the semiconductor storage device, and 32 is an inverter circuit for applying the inverted signal of the output of the aforementioned latch circuit 31 to the terminal D_1 . These latch circuit and inverter circuit are provided for each bit of ℓ -bit parallel data, but only one of each is shown here. In the aforementioned circuit structure, the data processing device 40 applies 5 V to the terminal M while sequentially addressing the storage cells in the semiconductor storage device 30, a control signal corresponding to the waveform A previously described with reference to Figure 5 is outputted to the terminal R/W, the data of the latch circuit 31 is read to each of the storage cells every time a prescribed write pulse output has been completed, the detection results are displayed by the display device 41 when a faulty element corresponding to the aforementioned Q_{ij} has been detected, and the outcome is displayed by the display device 41 when information has been written to all the storage cells at a unified threshold voltage, notifying the operator that another semiconductor storage device is to be tested.

The adoption of the circuit structure shown in Figures 5 and 7 above allows the same threshold value to be set for storage cells in different memory-forming regions. Specifically, the storage cells M_{11} in the memory-forming regions 20-1 through 20-2 in Figure 5 are each selected by the same row signal Y_1 and column signal X_1 , and pulses are applied to gates in the same manner, but these M_{11} are not limited to having the same threshold characteristics and can have nonuniform threshold voltages if these threshold voltages are allowed to vary under the same conditions. In this practical example, however, individual storage cells can be brought separately into a write inhibit state because the signals of the terminals D_{i-1} and D_{i-2} can each be inverted and the transistors Q_{32} switched off in the memory-forming regions 20-1 and 20-2, respectively.

Thus, a semiconductor storage device for which information has been written (first process) in such a way that all the storage cells have acquired a unified threshold voltage is allowed to stand for a predetermined time during a second process in order to

observe the deterioration of stored information. In this case, the threshold voltage decreases only slightly due to natural discharge in an ordinary environment, and considerable time is needed to detect any visible change. It is therefore preferable for a semiconductor storage device to be introduced, for example, into an atmosphere heated to about 85°C in order to promote the deterioration of the stored information and to induce discernible changes in the threshold voltage in a comparatively short period of about 24 hours.

Irrespective of the method adopted, the present invention involves a procedure in which the semiconductor storage device is set for a second time into the test apparatus shown in Figure 6¹ in order to test a third process after information has been written and a prescribed time elapsed. At this point, the voltage applied to the terminal M of the semiconductor storage device is V_{TS} , that is, lower than the voltage V_M (for example, 5 V) used during the first process. As has already been described above with reference to Figure 3, the voltage V_{TS} corresponds to the allowable limit of deterioration for the threshold voltage of a storage element and is, for example, about 3 V.

A necessary feature of third-process testing is that each storage cell is checked for conductivity when the aforementioned reference voltage V_{TS} (for example, 3 V) is applied to the gate of the cell. This operation is equivalent to reading information from each of the storage cells using V_{TS} as a reference voltage. The program sequence needed for the data processing device 40 during the third process should therefore involve steps in which the storage cells are sequentially addressed, a control circuit that specifies reading is applied each time to the R/W terminals of the storage cells, detection results are displayed by a display device when a faulty element is detected based on the output of the latch circuit 31, and determination results are displayed when the quality of all the storage cells has been analyzed, completing the testing.

As described above, the method for testing semiconductor storage devices that pertains to the present invention is extremely simple and is effective in ensuring the reliability of the semiconductor storage devices because there is no need to store the states of individual storage elements when information is written and because checking the state of each storage element after a predetermined time has elapsed can show if this element is faulty by merely reading data at a prescribed reference voltage.

¹ Translator's note: The apparatus is shown in Figure 7.

The semiconductor storage device proposed in the practical examples of the present invention is suitable for performing the aforementioned test method at a high speed and has a very simple circuit structure. It is also apparent that the test method and the semiconductor storage device of the present invention can be adapted to storage devices whose storage cells are based on principles slightly different from those employed in the storage cells described in the practical examples.

Brief Description of the Drawings

Figure 1 is an elemental structural drawing depicting an example of the semiconductor storage element to be used with the present invention, Figure 2 is a drawing illustrating the deterioration of the information stored in the aforementioned semiconductor storage element, Figure 3 is a drawing illustrating the principle of the method for testing semiconductor storage devices that pertains to the present invention, Figure 4 is a circuit diagram showing the first practical example of the semiconductor storage device pertaining to the present invention, Figure 5 is a circuit diagram depicting in further detail a portion of the device shown in Figure 4 above, Figure 6 is a signal waveform diagram illustrating the initial process of the testing method pertaining to the present invention, and Figure 7 is a diagram depicting an example of the overall structure of a testing apparatus used to carry out the testing method pertaining to the present invention.

In Figure 5, M_{11} through M_{mn} are storage cells, 10 is a column-direction address decoder, 11 is a row-direction address decoder, 12 is a sense amplifier, 13 is a circuit for controlling the source voltage of storage elements, 14-1 through 14- n are circuits for controlling the drain voltage of storage elements, and 17-1 through 17- m are circuits for controlling the gate voltage of storage elements.

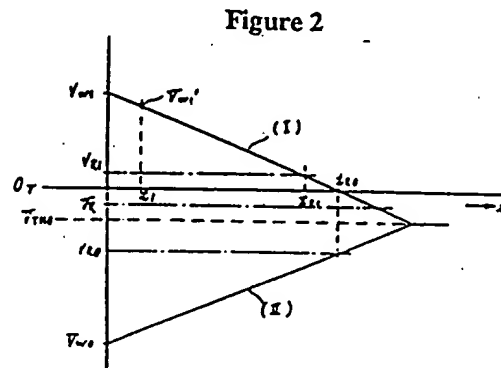
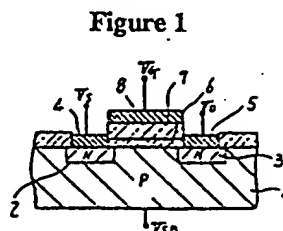


Figure 3

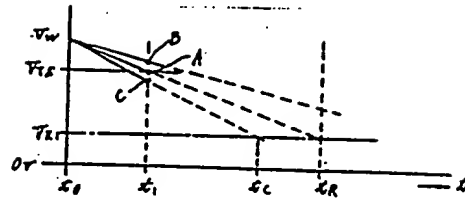


Figure 4

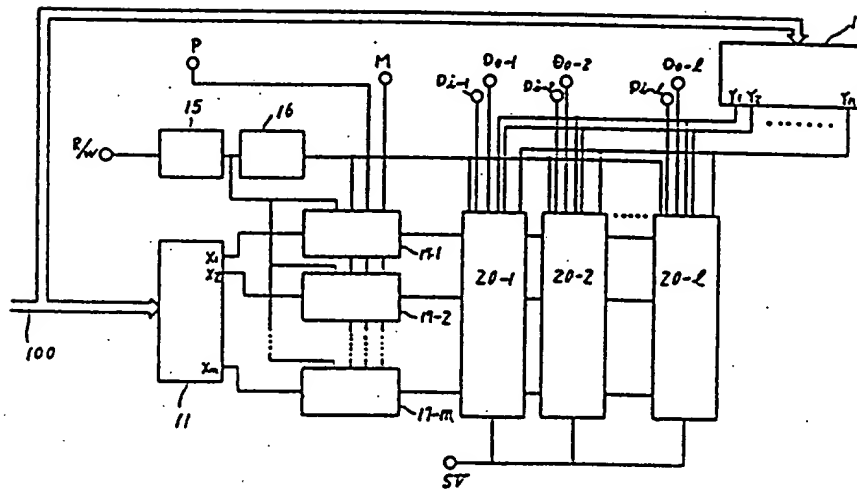


Figure 5

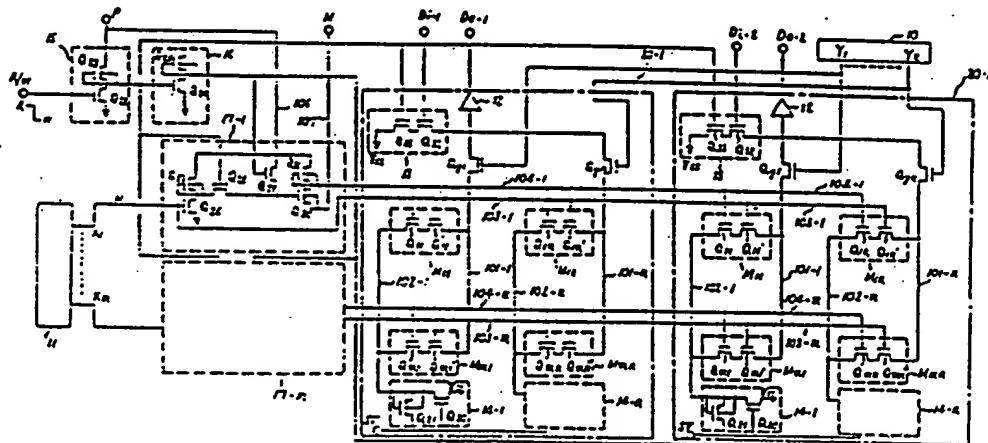


Figure 6

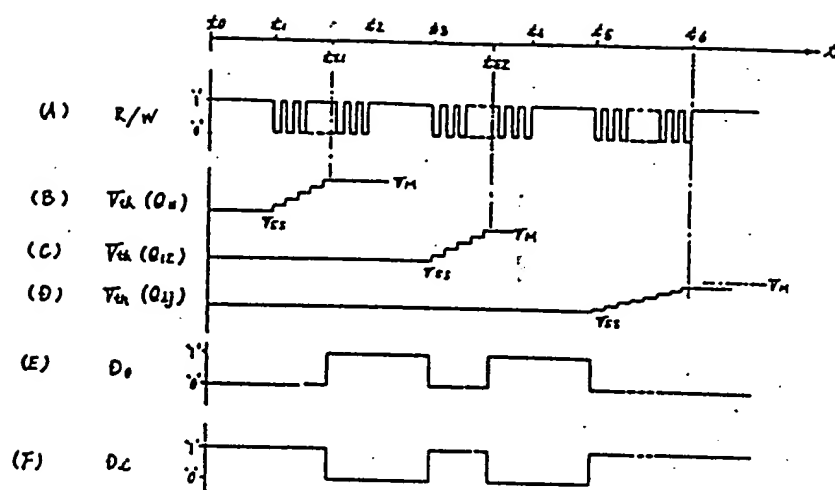
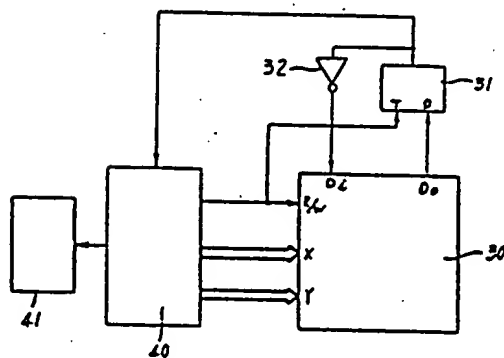


Figure 7



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**